

Akwizycja danych oraz synchronizacja odczytu w eksperymentcie CBM

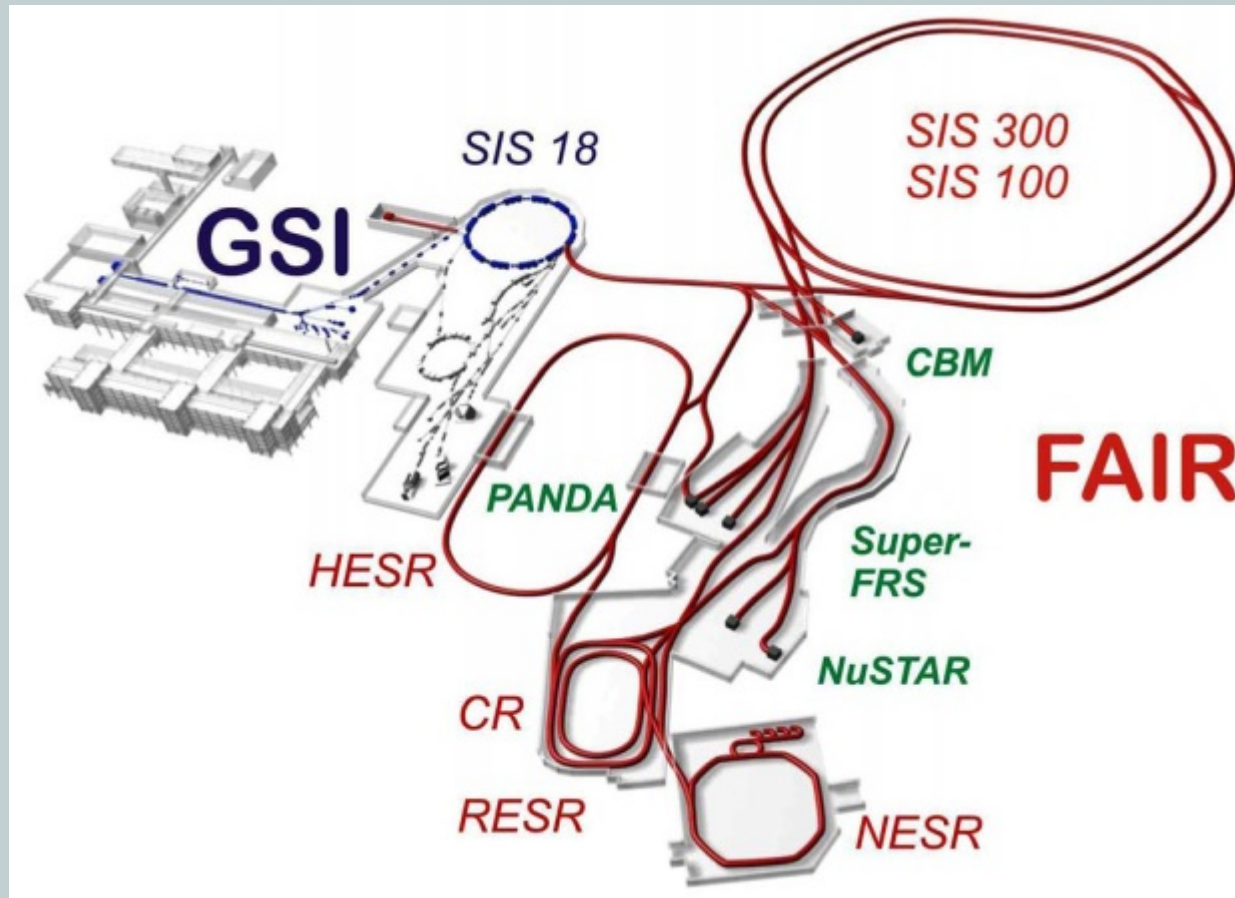
mgr inż. Marek Gumiński
ISE PW



Wizualizacja FAIR



Eksperymenty w FAIR



Eksperyment CBM

- Badanie właściwości materii warunkach nie eksplorowanych w innych eksperymentach
- Warunki przypominające te, panujące we wnętrzach gwiazd neutronowych
- Zderzenia ciężkich jąder atomowych przy energiach od kilku do około 35 GeV

Eksperyment CBM

- Duża częstotliwość zdarzeń (do 100 MHz)
- Praca ciągła przez kilka miesięcy w roku
- Wiele detektorów
- Identyfikacja zdarzeń po integracji danych
- Praca bez zewnętrznego „triggera”

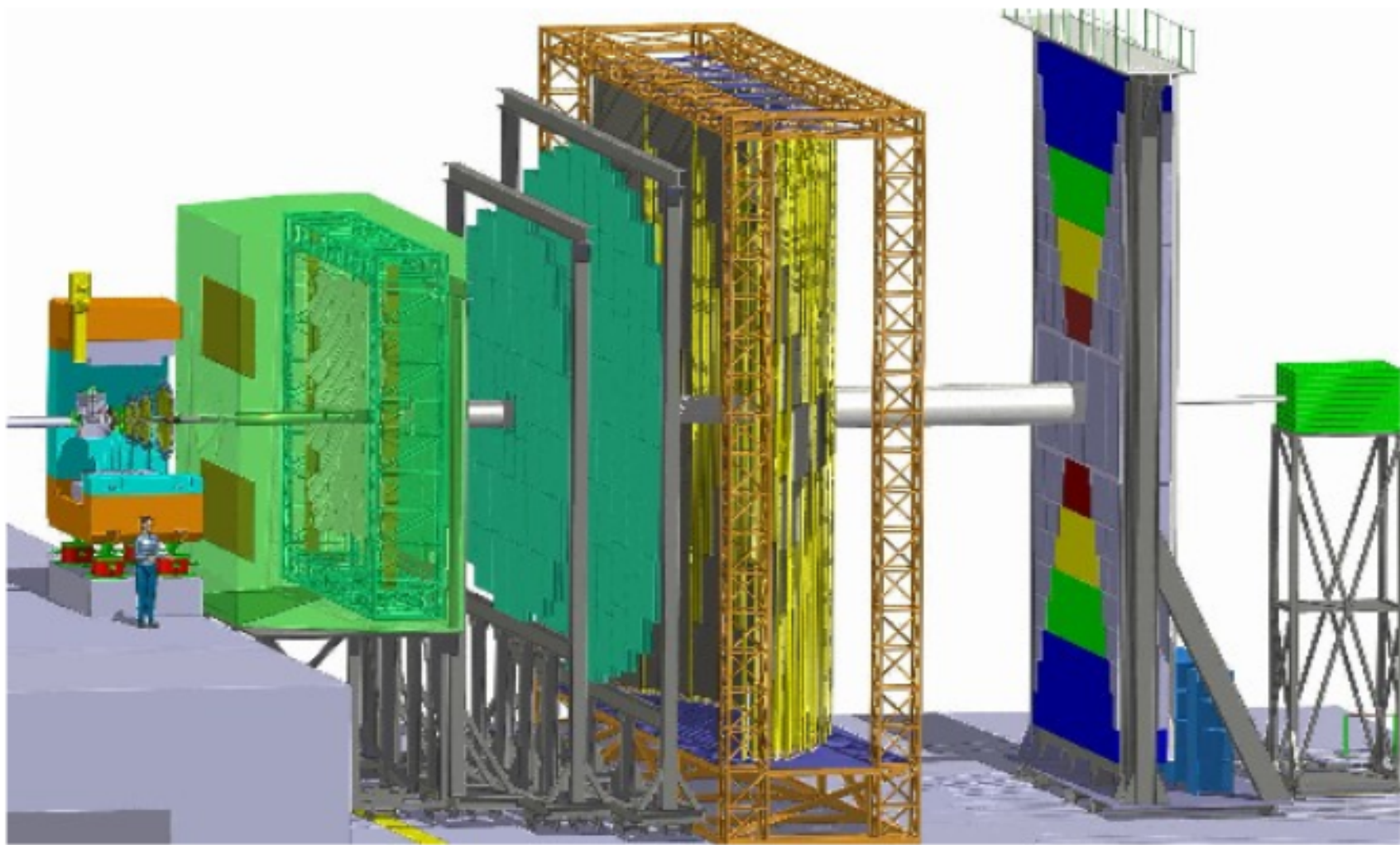


Fig. 2.1 The Compressed Baryonic Matter (CBM) experiment. The CBM setup consists of a large acceptance dipole magnet, radiation-hard Silicon pixel/strip detectors for tracking and vertex determination (STS, MVD), a Ring Imaging Cherenkov detector (RICH) and Transition Radiation Detectors (TRD) for electron identification, Resistive Plate Chambers (RPC) for time-of-flight measurement, an Electromagnetic Calorimeter (ECAL) for photon identification, and a Projectile Spectator Detector (PSD) for centrality and reaction plane determination (color online).

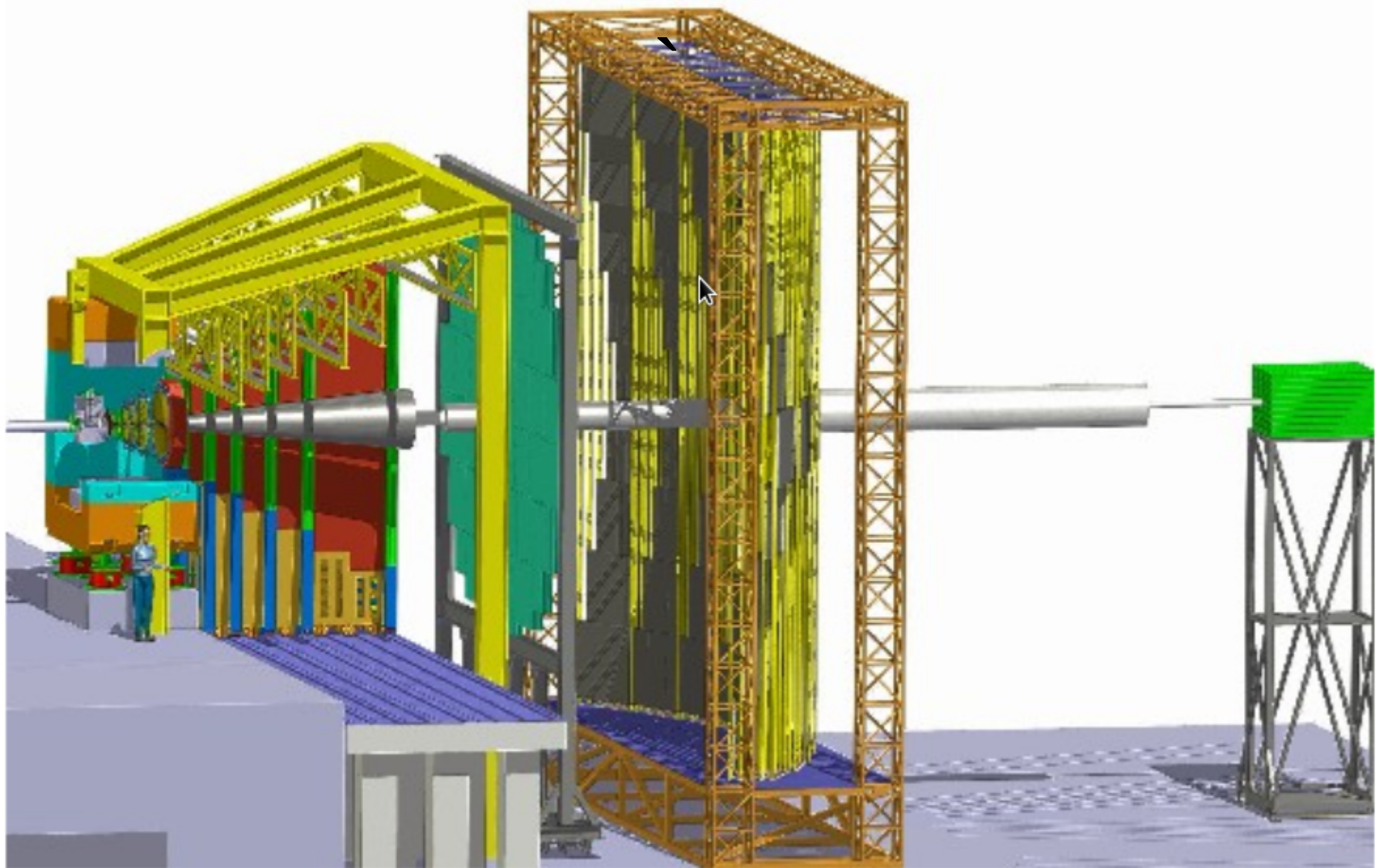
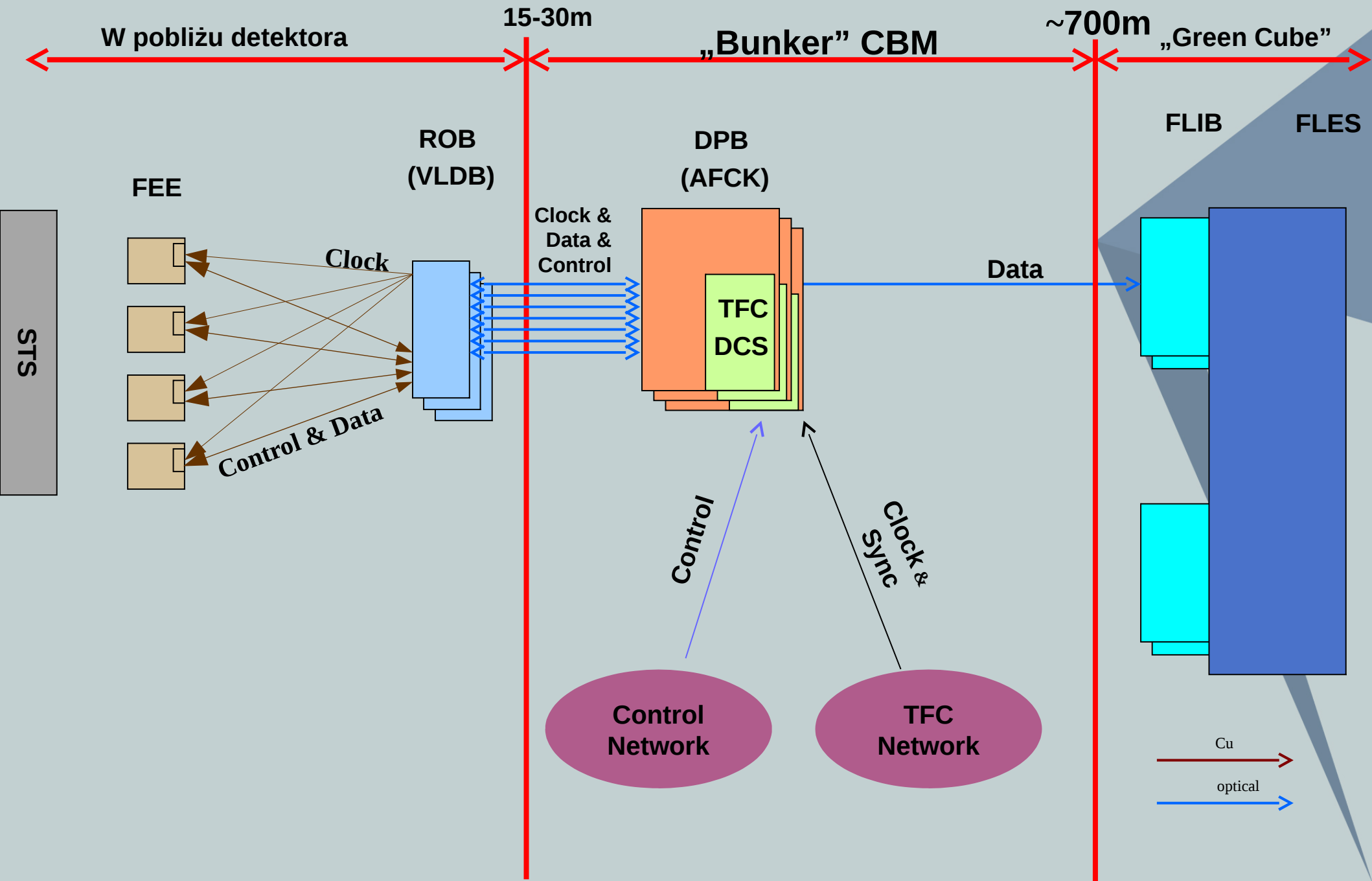


Fig. 2.2 The Compressed Baryonic Matter (CBM) experiment with a muon detection system (MuCh) with alternating absorber and detector layers instead of the RICH as shown in Fig. 2.1(color online).

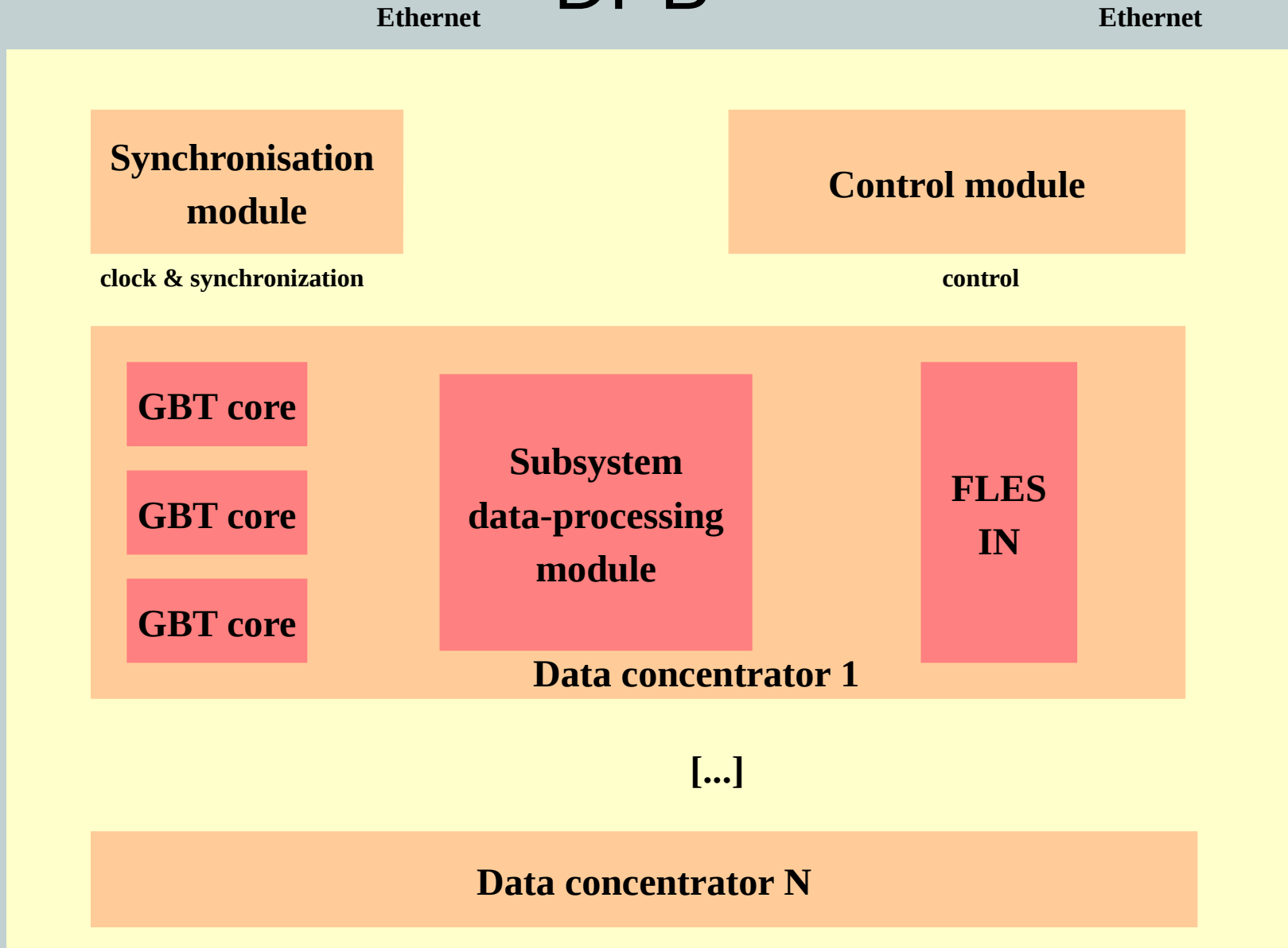
Schemat odczytu danych



Funkcje DPB

- Zebranie danych z licznych łączy o mniejszej prędkości z układów detekcyjnych
- Wstępne uporządkowanie i przetworzenie danych oraz zapakowanie ich w „mikrokontenery” obejmujące określone przedziały czasu
- Wysłanie danych przez mniejszą liczbę łączy o dużej prędkości
- Dystrybucja sygnałów synchronizujących
- Przesłanie komend sterujących (deterministyczna latencja) oraz konfiguracyjnych do modułów FEE

Uproszczony schemat oprogramowania DPB

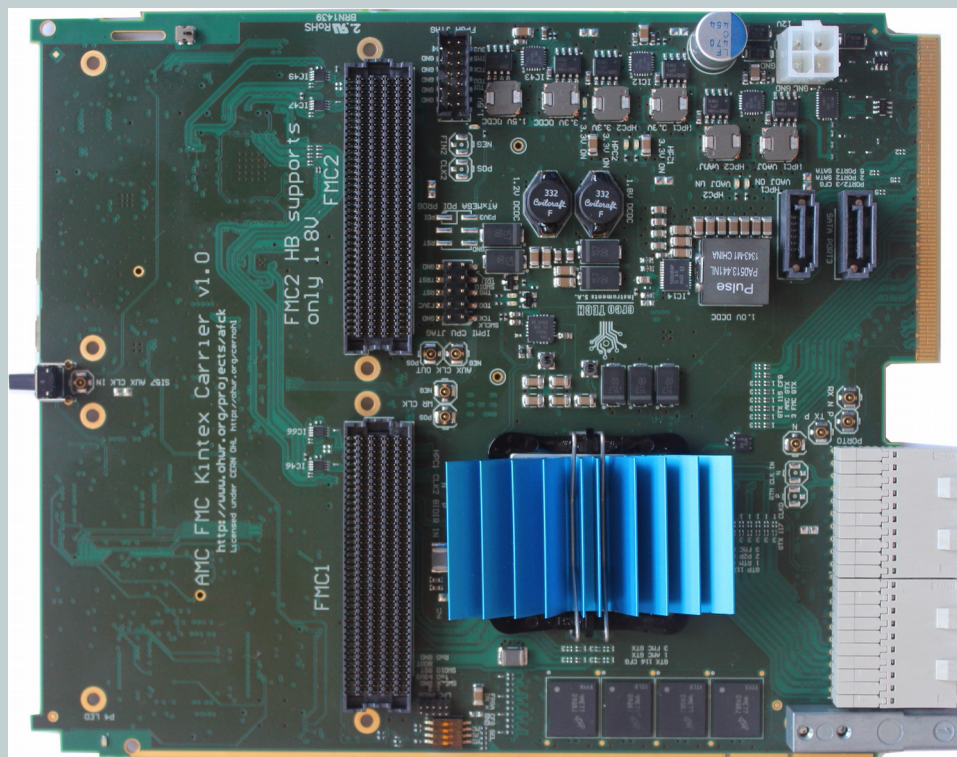


Wykonane prace

- Wybór platformy sprzętowej
- Wybór protokołu sterowania
- Opracowanie protokołu oraz testy komunikacji z modułami STS-XYTER

Wybór platformy sprzętowej

- Płyta AMC FMC Carrier Kintex (AFCK)
- Open hardware
- Architektura MTCA.4 (μ TCA for Physics)



Wybór platformy sprzętowej

- Kintex-7 325T FFG900 FPGA
- 16 GTX (do 10 Gbps)
- 2xFMC HPC, AMC, RTM, 2xSata
- 2 GB DDR3 SDRAM
- Konfiguracja połączeń przy pomocy kondensatorów 0201
- Konfiguracja linii zegarowych przy pomocy kondensatorów oraz crossbar'a

Sterowanie eksperymentem

- Umożliwienie operacji na rejestrach wszystkich urządzeń i modułów wykorzystywanych w eksperymencie
- Ułatwienie prac rozwojowych
- Zapasowa (testowa) możliwość odczytu danych

Sterowanie eksperymentem

- Ethernet:
 - Wady:
 - Brak niezawodności
 - Duże opóźnienie
 - Zalety
 - Wysoki transfer
 - Standardowa i tania infrastruktura
 - Możliwość wykorzystania istniejących sieci
 - Łatwość użycia w FPGA

Sterowanie eksperymentem

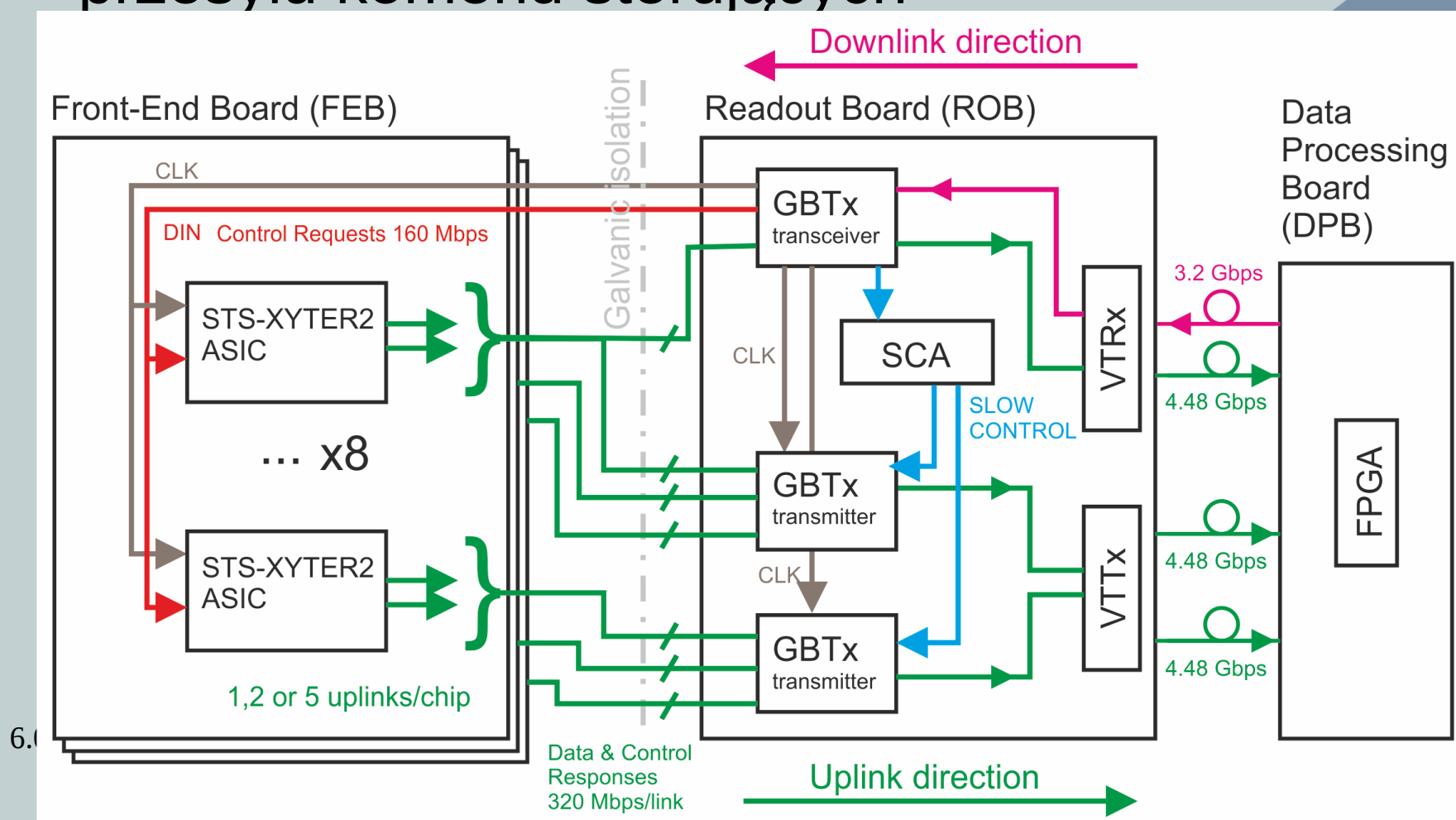
- Rozważane protokoły
 - TCP
 - **Trudność implementacji**, duża zajętość w FPGA, wiele cech zbędnych w warunkach eksperymentu
 - Etherbone
 - Otwarty, prosty, mała zajętość w FPGA, **brak niezawodności**
 - IPBus
 - Otwarty, prosty, mała zajętość w FPGA, **transmisja z potwierdzeniem**, rozbudowany sterownik na Linux

Sterowanie eksperymentem

- Wybór Ipbus
- Przeniesienie IP core'a Ipbus na architekturę Kintex 7
- Testy komunikacji przy pomocy IPBus
- Opracowanie metod automatycznej generacji mapy rejestrów FPGA wykorzystywanej przez sterownik Linux

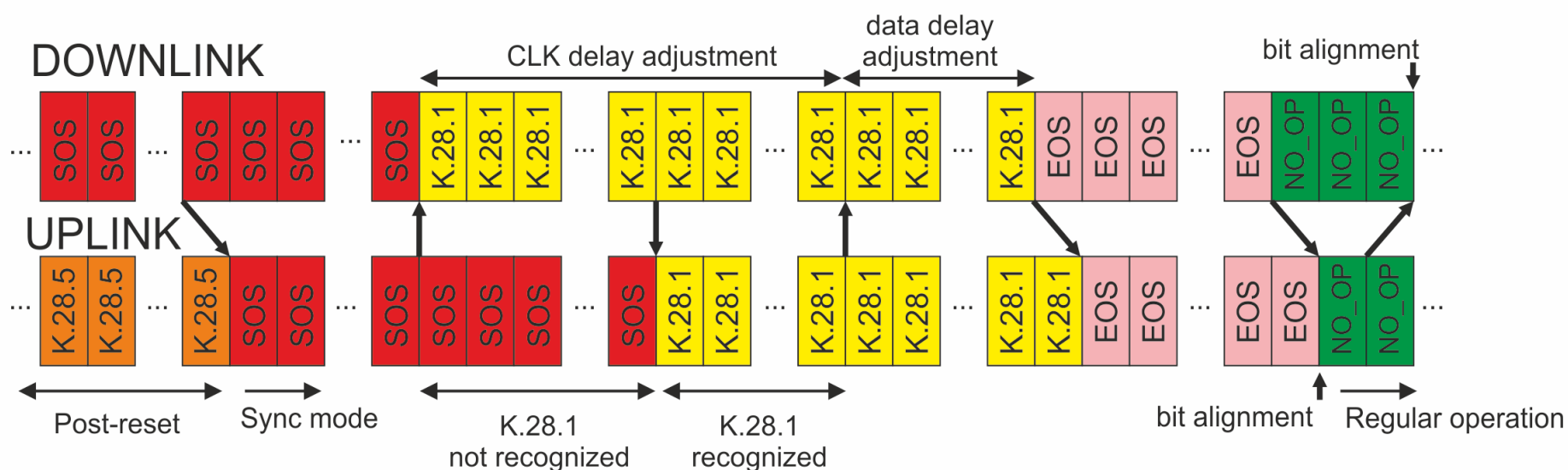
Odczyt FEE

- Maksymalizacja przepustowości danych wysyłanych
- Zapewnienie deterministycznego opóźnienia przesyłu komend sterujących



Protokół komunikacyjny

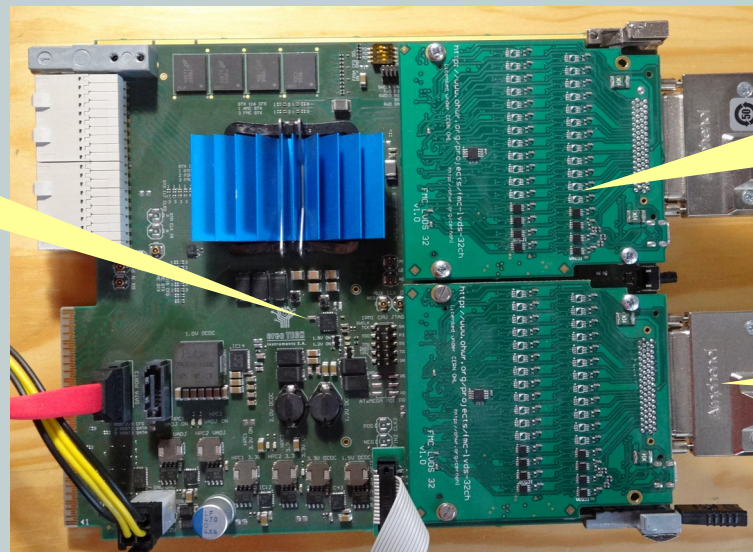
- Łącza e-link zapewniają stałe, ale nie znane opóźnienie
- Protokół zawiera procedurę kompensacji opóźnienia łącza



Tester protokołu komunikacji z układem STS-XYTER

- Emulacja STS-XYTER w FPGA
- Emulacja bloków sterujących STS-XYTER
- Połączenie przy pomocy linii LVDC ze sprzężeniem AC

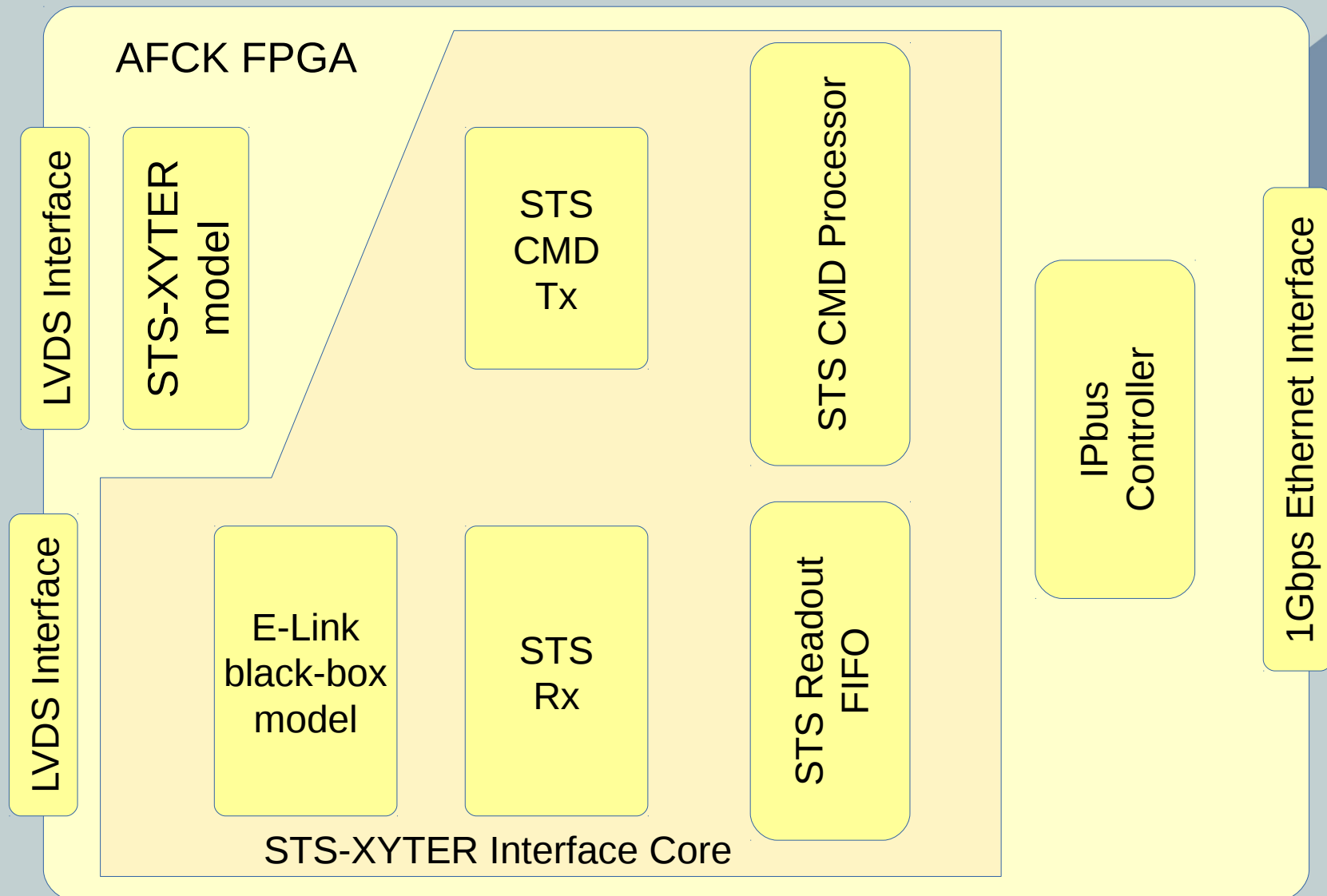
The AFCK board



The FMC-VHDCI board

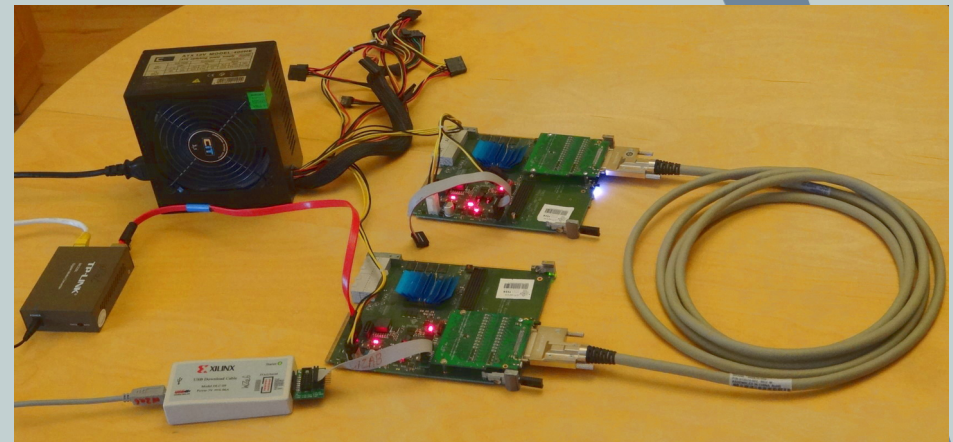
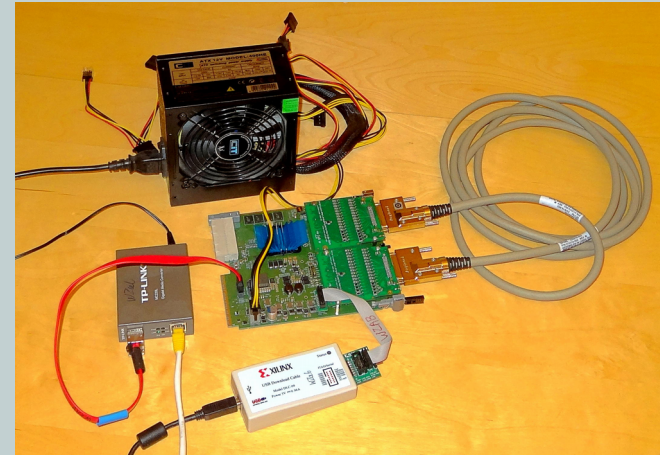
VHDCI cable

Tester protokół komunikacji z układem STS-XYTER



Tester protokołów komunikacji z układem STS-XYTER

- Test z jedną płytą AFCK
 - Model STS-XYTER oraz kontroler zaimplementowane w tym samym FPGA
- Testy z dwoma płytami AFCK
 - Model STS-XYTER zaimplementowany w jednym AFCK sterowany przez kontroler zaimplementowany w drugim



Protokół komunikacji z układem STS-XYTER

- Opracowany został protokół komunikacji
 - „Interface and protocol development for STS read-out ASIC in the CBM experiment at FAIR”
 - K.Kasinski, W.Zabolotny, R.Szczygiel
 - „STS-HCTSP, an STS Hit and Control Transfer Synchronous Protocol”
 - K. Kasinski, W. Zabolotny, J. Lehnert
 - „Design of Versatile ASIC and Protocol Tester for CBM Readout System”
 - W. Zabołotny, A. Byszuk, D. Emschermann, M. Gumiński

Synchronizacja

- Moduły FEE muszą pracować synchronicznie
 - Częstotliwość zegara
 - Znacznik czasu
- GBTx odzyskuje sygnał zegarowy z danych transmitowanych z DBP, łączem o przepustowości 3.2 Gbps
- Odzyskiwany sygnał zegarowy przekazywany jest do FEE
- GBTx zapewnia deterministyczne opóźnienie komend
- DPB komunikuje się z GBTx przez Ipcore GBT-FPGA
- GBT-FPGA wymaga referencyjnego zegara wysokiej jakości i częstotliwości 40 MHz
- Sposób transmisji zegara referencyjnego do DPB nie jest zdefiniowany

Synchronizacja

- Rozważano wykorzystanie protokołu White Rabbit
- Sygnał zegarowy odzyskiwany z linku 1000BaseX
- PLL sterujący zewnętrznym oscylatorem
- Sterowanie przy pomocy procesora wbudowanego
- Detektor fazy w FPGA
- Pomiar oraz kompensacja opóźnienia łącza

Synchronizacja

- White Rabbit core przeniesiony na architekturę Kintex7
- Implementacja na AFCK
- Kalibracja oraz testy modułu
- Dokładność taka, jak przy standardowej implementacji
- Wartości zmierzone:
 - Dokładność lepsza niż 300 ps
 - Precyzja lepsza niż 50 ps RMS
- „Time and clock synchronization with AFCK for CBM”
 - M. Gumiński, W. Zabołotny, K. Poźniak

Dziękuję za uwagę